

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

15522858

Basic Patent (No,Kind,Date): JP 11284198 A2 19991015 <No. of Patents: 001 >  
(English)

IPC: \*H01L-029/786; H01L-021/336

CA Abstract No: 131(21)294233P

Language of Document: Japanese

Patent Family:

| Patent No   | Kind | Date     | Applic No   | Kind | Date             |
|-------------|------|----------|-------------|------|------------------|
| JP 11284198 | A2   | 19991015 | JP 98100642 | A    | 19980327 (BASIC) |

Priority Data (No,Kind,Date):  
JP 98100642 A 19980327

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

06342594     \*\*Image available\*\*

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUB. NO.:     **11-284198** [JP 11284198 A]

PUBLISHED:     October 15, 1999 (19991015)

INVENTOR(s):   YAMAZAKI SHUNPEI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.:     10-100642 [JP 98100642]

FILED:           March 27, 1998 (19980327)

INTL CLASS:     H01L-029/786; H01L-021/336

#### ABSTRACT

**PROBLEM TO BE SOLVED:** To provide a semiconductor device utilizing a semiconductor thin film having a high crystallinity by the manufacturing method with high mass- producibility.

**SOLUTION:** When active layers 106 and 107 formed of amorphous silicon films are subject to crystalization, a germanium is used as a catalytic element to promote crystalization. The active layers 106 and 107 and a germanium film 110 are heated by means of an open hole 109 provided in a mask insulation film 109 while they are in contact with each other, so that active layers 111 and 112 formed polysilicon film through the horizontal growth of crystal can be obtained.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-284198

(43) 公開日 平成11年(1999)10月15日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 29/786  
21/336

H 0 1 L 29/78

6 1 8 A

6 1 8 Z

6 1 8 G

6 1 8 B

6 2 7 G

審査請求 未請求 請求項の数 9 F D (全 12 頁)

(21) 出願番号

特願平10-100642

(22) 出願日

平成10年(1998)3月27日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

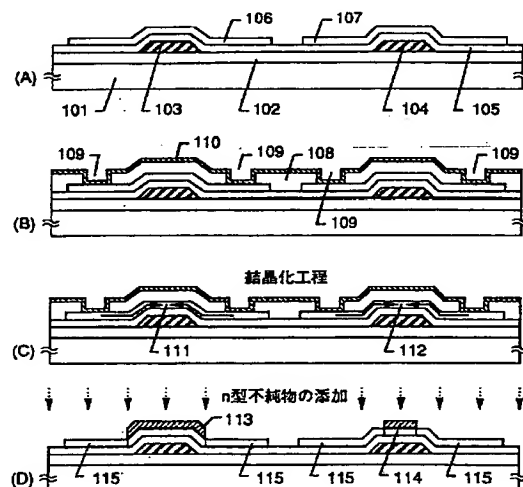
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 量産性の高い作製方法で結晶性の高い半導体薄膜を利用した半導体装置を提供する。

【解決手段】 アモルファスシリコン膜からなる活性層106、107を結晶化させるに際して、結晶化を促進させる触媒元素としてゲルマニウムを利用する。マスク絶縁膜108に設けられた開孔部109を介して活性層106、107とゲルマニウム膜110とが接した状態で加熱処理を行うと、横方向への結晶成長によりポリシリコン膜からなる活性層111、112が得られる。



101: ガラス基板 102: 下地膜 103、104: ゲル電極  
 105: ゲル絶縁膜 106、107: 活性層 108: マスク絶縁膜  
 109: 開孔部 110: ゲルGe膜 111、112: 活性層  
 113、114: n型不純物領域 115: n型不純物領域

## 【特許請求の範囲】

【請求項1】絶縁表面を有する基板上に形成された複数のTFTでなる回路を含む半導体装置であって、前記複数のTFTのソース領域、ドレイン領域及びチャネル形成領域は結晶半導体膜からなり、前記ソース領域又はドレイン領域の主表面に近づくほど高い濃度でゲルマニウムが存在することを特徴とする半導体装置。

【請求項2】請求項1において、前記ゲルマニウムは前記ソース領域又はドレイン領域の主表面近傍のみに存在

【請求項3】絶縁表面を有する基板上に形成された複数のTFTでなる回路を含む半導体装置であって、前記複数のTFTのソース領域、ドレイン領域及びチャネル形成領域は結晶半導体膜からなり、前記ソース領域又はドレイン領域の主表面近傍には前記チャネル形成領域よりも高い濃度でゲルマニウムが存在することを特徴とする半導体装置。

【請求項4】請求項2又は請求項3において、前記ソース領域又はドレイン領域の主表面近傍に存在するゲルマニウムの濃度は  $1 \times 10^{14} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup> であることを特徴とする半導体装置。

【請求項5】請求項1乃至請求項4において、前記TFTはボトムゲイト型TFTであることを特徴とする半導体装置。

【請求項6】絶縁表面を有する基板上に形成された複数のボトムゲイト型TFTでなる回路を含む半導体装置の作製方法であって、

非晶質半導体膜からなる活性層を形成する工程と、

前記活性層の一部と接触する様にゲルマニウム膜を形成

加熱処理により前記活性層を前記ゲルマニウム膜に接触

させた部分から結晶成長させる工程と、

を含むことを特徴とする半導体装置の作製方法。

【請求項7】絶縁表面を有する基板上に形成された複数のボトムゲイト型TFTでなる回路を含む半導体装置の作製方法であって、

非晶質半導体膜からなる活性層を形成する工程と、

前記活性層上にマスク絶縁膜を形成する工程と、

前記マスク絶縁膜に開孔部を設け、前記活性層の一部を

露出させる工程と、

ゲルマニウム膜を形成して前記活性層の一部と接触さ

せる工程と、

加熱処理により前記活性層を前記ゲルマニウム膜に接触

させた部分から結晶成長させる工程と、

を含むことを特徴とする半導体装置の作製方法。

【請求項8】請求項6又は請求項7において、前記ゲルマニウム膜はスパッタ法、プラズマCVD法又は減圧熱CVD法により形成されることを特徴とする半導体装置の作製方法。

【請求項9】請求項6又は請求項7において、前記加熱処理は 450～650℃の温度範囲で行われることを特徴とする半導体装置の作製方法。

## 【発明の詳細な説明】

【0001】

【発明が属する技術分野】本願発明は半導体薄膜を用いて形成されたボトムゲイト型の薄膜トランジスタ（以下、TFTと略記する）でなる回路を有する半導体装置に関する。特に逆スタガ型TFTを用いた半導体装置に

【0002】なお、本明細書中において半導体装置とは、半導体特性を利用して機能しうる装置を指し、TFTなどの単体素子に限らず、半導体回路や電気光学装置並びにそれらを部品として搭載した電子機器をも含むものとする。

【0003】

【従来の技術】近年、結晶性を有する半導体薄膜を用いて基板上にTFTを形成し、そのTFTでもって回路を構成した半導体装置が注目されている。半導体薄膜としては、多結晶シリコン（ポリシリコンとも呼ばれる）が最も一般的であるが、Si、Ge、 $(0 < x < 1)$  で示される化合物半導体を利用する研究もなされている。

【0004】ポリシリコン膜を用いたTFTは既に実用化の段階まできているが、膜質及び量産性の改善にはまだまだ開発の余地があり、さらなる技術開発が必要である。その様な中で、本出願人はポリシリコンの膜質の向上と量産性の向上とを同時に解決する手段として、特開平7-130652号公報に記載された技術を開示している。

【0005】同公報に記載された技術は、非晶質半導体膜（代表的にはアモルファスシリコン）に対してシリコンの結晶化を促進させる触媒元素を添加して、その作用を利用して結晶化させる技術である。その結果、結晶化に必要な温度及び時間が低減され、スループットが飛躍的に向上した。さらに、得られたポリシリコンは非常に高い結晶性を有し、TFTの電気特性も大幅に向上することが確認された。

【0006】しかしながら、上記触媒元素として最も有効なニッケル（Ni）は金属元素であるため、ポリシリコン中に残存しているとTFT特性に悪影響を与えることが懸念された。そのため、本出願人は結晶化まで完了したら余分なニッケルを除去することが必要と考え、触媒元素のゲッターリングを行う技術を開発した（特開平9-312260号公報）。

【0007】これらの公報に記載された技術は、どちらも結晶化を促進する触媒元素としてニッケル等の金属元素を用いることを主としており、ポリシリコンが得られた後は触媒元素そのものが不必要な存在であった。

【0008】

【発明が解決しようとする課題】本願発明は上記問題点

を鑑みてなされたものであり、量産性の高い作製方法で結晶性の高い半導体薄膜を形成する技術を提供することを課題とする。そして、その様な半導体薄膜を用いたTFTで回路を構成することで、半導体装置の製造歩留りや製造コストを低減することを課題とする。

【0009】

【課題を解決するための手段】本願発明では、シリコンの結晶化を促進させる触媒元素として半導体であるゲルマニウム(Ge)を用いることでゲッタリングの不要なプロセスを提供する。ゲルマニウムはシリコンと非常に近い性質をもつため、シリコン中において非常に整合性の良い状態で存在する。即ち、触媒元素として利用した後で特に除去しなくてもTFT特性に悪影響を与えることがないという利点を有する。

【0010】基本的にはアモルファスシリコン膜に対してゲルマニウムを添加し、ゲルマニウムの触媒作用を利用してアモルファスシリコンを結晶化させる技術である。これにより結晶化の低温化、処理時間の低減及び工程の短縮を同時に実現するものである。

【0011】また、ゲルマニウムはシリコン中において非常に整合性よく存在するため、他の触媒元素を用いた場合に較べて非常に結晶性が高い。ゲルマニウムはその含有量に応じてシリコンのバンドギャップを連続的に変化させるため、ポリシリコンよりもバンドギャップの狭い活性層を形成することができる。この様な活性層をTFTに利用することによりポリシリコンの活性層を用いたTFTよりも高いモビリティ(電界効果移動度)を実現しうる。

【0012】

【発明の実施の形態】上記構成からなる本願発明について、以下に示す実施例をもってさらに詳細な説明を行うこととする。

【0013】

【実施例】〔実施例1〕本願発明を用いたTFTの作製工程について図1、2を用いて説明する。なお、ここでは回路の基本構成として同一基板上においてNTFT(Nチャネル型TFT)とPTFT(Pチャネル型TFT)とを相補的に組み合わせたCMOS回路を作製する場合を例示する。

【0014】まず、ガラス基板101上に酸化シリコン膜でなる下地膜102を設け、その上にゲイト電極103、104を形成する。なお、図示されないがゲイト電極に接続するゲイト配線も同時に形成される。

【0015】本実施例ではゲイト電極103、104となる導電膜として窒化タンタル/タンタル/窒化タンタルの3層構造を採用する。また、その膜厚は200~400nmの厚さで制御する。そして、その上にはSiO<sub>2</sub>、N<sub>2</sub>で示される酸化窒化シリコン膜でなるゲイト絶縁膜105を150nmの厚さに形成する。

【0016】次に、非晶質半導体膜であるアモルファス

シリコン膜を30nmの厚さに成膜し、バターニングして活性層106、107を形成する。アモルファスシリコン膜以外にもSi、Ge<sub>x</sub> (0<x<1)で示されるシリコン・ゲルマニウム化合物などの化合物半導体を用いることもできる。(図1(A))

【0017】次に、活性層106、107上に酸化シリコン膜でなるマスク絶縁膜108を形成し、バターニングにより開孔部109を形成する。この開孔部109は、後にソース領域やドレイン領域となる活性層が露出する様に形成される。

【0018】そして、開孔部109が形成されたら、スパッタ法によりゲルマニウム膜117を形成して活性層106、107とゲルマニウム膜117とを接触させる。成膜にはゲルマニウムターゲットを用い、到達圧力4×10<sup>-4</sup>Pa以下、スパッタガスはアルゴン(Ar)、成膜温度は室温、成膜圧力は0.4Pa、成膜時のDC電流は0.4Aとする。

【0019】また、ゲルマニウム膜110の成膜は減圧熱CVD法やプラズマCVD法で行うことも可能である。ゲルマニウム(GeH<sub>4</sub>)は非常に分解しやすいガスであるので、450℃程度の低温で容易に分解してゲルマニウム膜を形成することができる。

【0020】こうして図1(B)の状態が得られる。次に、600℃で12時間の加熱処理を行い、アモルファスシリコン膜を結晶化させ、結晶半導体膜であるポリシリコン膜へと変化させる。この時、結晶化はまずアモルファスシリコン膜とゲルマニウム膜とが接触した領域(開孔部)で始まり、次第に矢印に示す方向に横方向の結晶成長が進行する。(図1(C))

【0021】なお、600℃を超えるとアモルファスシリコン中における自然核発生が増加してしまい、横方向に進行する結晶成長を阻害してしまうため好ましくない。また、この結晶化工程はファーネスアニール、ランプアニール、レーザーアニールのいずれの手段を用いても良い。本実施例では形成された膜の均質性を重視してファーネスアニールを用いる。

【0022】また、熱処理の雰囲気は不活性雰囲気又は水素雰囲気とすることが望ましい。酸素が存在するとゲルマニウム膜が容易に酸化され、不活性な酸化ゲルマニウム膜に変化してしまう。こうなると触媒作用が損なわれて結晶化不良が起こる場合があるの注意が必要である。

【0023】また、本実施例の様にゲルマニウムを触媒元素として横方向に結晶成長させる場合、その成長距離が極めて短い点に注意が必要である。図1(C)の場合は丁度ソース領域とドレイン領域となる部分から結晶成長が始まり、チャネル形成領域となる部分の概略中央で成長がぶつかり合う。

【0024】従って、少なくともチャネル形成領域の全域を結晶化させるには、ソースドレイン間を結ぶ方向

におけるチャネル形成領域の幅（チャネル長）の少なくとも1/2の距離を成長しなくてはならない。また、結晶成長がチャネル形成領域の概略中央でぶつかり合うため、その部分には粒界（図示せず）が形成される。

【0025】本実施例の方式で結晶成長させる場合、熱処理の温度や処理時間によって横方向への成長距離も変化するが、スループットや装置性能を考えると1μm程度成長させるのが限界と思われる。そういった意味で、本願発明を適用するデバイスサイズはチャネル長が2μm以下、好ましくは1μm以下（勿論、ゼロは含まない）であることが好ましいと言える。

【0026】こうしてポリシリコン膜でなる活性層111、112が得られる。活性層111、112は、開孔部109でゲルマニウム膜110と接した部分の主表面に近づくほど高い濃度でゲルマニウムを含む。

【0027】典型的には主表面近傍（下地とは反対側のポリシリコン表面から約10nm以内の領域）のみにゲルマニウムを含む場合が多い。主表面近傍におけるゲルマニウムの濃度はSIMS（質量二次イオン分析）によると $1 \times 10^{14} \sim 1 \times 10^{15} \text{ atoms/cm}^2$ の濃度となることが確認された。しかし、最終的にはこの部分はソース領域又はドレイン領域となるので問題はない。

【0028】なお、ゲルマニウムの濃度が $1 \times 10^{14} \sim 1 \times 10^{15} \text{ atoms/cm}^2$ となるとシリコンとゲルマニウムのアロイ化が起り、 $\text{Si}_x\text{Ge}_{1-x}$ （ $0 < x < 1$ ）で示されるシリコンゲルマニウム層になると考えられる。従って、本実施例の工程では後にソース領域又はドレイン領域となる部分の主表面近傍にシリコンゲルマニウム層が形成されている場合もありうる。

【0029】こうして活性層111、112が得られたら、ゲルマニウム膜110を硫酸過水溶液（ $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 = 1 : 1$ ）で除去した後、マスク絶縁膜108を除去する。その後、活性層111、112に対してエキシマレーザー光を照射してさらに結晶性の改善を図ることもできる。

【0030】次に、120 nm厚の酸化シリコン膜を成膜し、パターニングしてスペーサ絶縁層113、114を形成する。スペーサ絶縁層113、114を形成したら、次にn型を付与する不純物元素（本実施例ではリン）を添加して、n型不純物領域115を形成する。（図1（D））

【0031】本実施例ではプラズマドーピング法を用いてフォスフィン（ $\text{PH}_3$ ）をドーピングガスとして使用する。加速電圧は10 keVとし、 $5 \times 10^{14} \text{ atoms/cm}^2$ のドーピング量で添加すれば良い。なお、ドーピング条件は本実施例に限定する必要はなく、必要に応じて変更すれば良い。

【0032】こうして図1（D）の状態が得られたら、レジストマスク116を選択的に設けて、2度目のn型不純物の添加工程を行う。レジストマスク116はNT

FTとなる領域では後にチャネル形成領域が形成される領域の上方に形成し、PTFTとなる領域はn型不純物が添加されない様に形成する。（図2（A））

【0033】ここでは加速電圧を90 keVと先程より高めに設定し、ドーピング量は $3 \times 10^{15} \text{ atoms/cm}^2$ とする。この加速電圧ではスペーサ絶縁層113、114がマスクとして機能しないため、スペーサ絶縁層の端部（レジストマスク116で隠れない領域）の下のリコン膜中にも不純物イオンが添加される。

【0034】この工程によりNTFTのソース領域117、ドレイン領域118、一対のLDD領域（低濃度不純物領域）119、チャネル形成領域120が画定する。なお、2度目のドーピング工程はそのままLDD領域の形成工程でもあるので、LDD領域として最適なドーピング量を実施者が適宜決定する必要がある。

【0035】次に、レジストマスク116を除去した後、NTFTとなる領域をレジストマスク121で完全に隠し、P型を付与する不純物元素（本実施例ではボロン）を添加する。ここではジボラン（ $\text{B}_2\text{H}_6$ ）をドーピングガスとして用い、加速電圧は10 keV、ドーピング量は $1.3 \times 10^{15} \text{ atoms/cm}^2$ とする。（図2（B））

【0036】この工程ではスペーサ絶縁層114が完全にマスクとして機能するため、その下には全く不純物が添加されず、スペーサ絶縁層114がそのままソース領域122、ドレイン領域123、チャネル形成領域124を画定させる。なお、図1（D）の工程でPTFTとなる領域にもリンが添加されているが、この工程によりp型に反転する。

【0037】こうしてソース領域、ドレイン領域及びLDD領域を形成する不純物イオンの添加工程が終了したら、レジストマスク121を除去し、不純物の活性化工程を行う。本実施例ではエキシマレーザー光を照射することで活性化を行うが、ファースアニールやランプアニールを用いても良い。勿論、それらを併用することもできる。（図2（C））

【0038】なお、不純物の活性化工程の前にスペーサ絶縁層113、114を除去してしまっても構わない。除去することでレーザー光照射による活性化の効率が大幅に向上する。しかしながら、スペーサ絶縁層を除去するとチャネル形成領域が露出してしまうためできるだけ残した方が好ましい。

【0039】次に、酸化シリコン膜でなる層間絶縁膜125を形成し、コンタクトホールを形成して、導電膜でなるソース配線126、127、ドレイン配線128を形成する。この時、ゲイト電極に接続したゲイト配線とソース配線（又はドレイン配線）との電気的な接続をとるためのコンタクトホール（図示せず）も同時に形成しておく必要がある。

【0040】そして最後に、全体に対して水素雰囲気中、350℃2時間程度の加熱処理を行い、膜中（特にチ

ャネル形成領域中)の不对結合手を水素終端する。以上の工程によって図2(D)に示す様な構造のCMOS回路が完成する。

【0041】本実施例の工程で作製されたTFTの特徴としては、ソース領域又はドレイン領域では主表面に近づくほど高い濃度でゲルマニウムが存在する。これは主表面でゲルマニウムと接触して結晶化が行われたからである。なお、典型的には主表面近傍のみにゲルマニウムが存在する場合が多い。その場合のゲルマニウム濃度は  $1 \times 10^{14} \sim 1 \times 10^{15}$  atoms/cm<sup>2</sup> 程度である。

【0042】一方で、チャネル形成領域には殆どゲルマニウムは存在しないと考えてよい。結晶化の際にはソース領域又はドレイン領域となる部分から結晶成長が進行するが、ゲルマニウムの拡散は起こらない。その後工程においてもゲルマニウムが拡散するほどの熱処理工程はない。従って、ソース領域又はドレイン領域にはチャネル形成領域よりも高い濃度でゲルマニウムが存在する点も本実施例で作製されたTFTの特徴となる。

【0043】本願発明では、以上の様な工程で作製された逆スタガ型TFTでもって回路を構成する。なお、本実施例の作製工程は本願発明を実施するための一例に過ぎず、これに限定されるべきものではない。

【0044】また、本実施例では行っていないがNTFTとPTFTに対してチャネルドープを行い、しきい値電圧を制御するなどの工夫は実施者が適宜行えば良い。

【0045】本実施例の工程に従って作製された逆スタガ型TFTは、代表的な電気特性であるモビリティ(電界効果移動度)がNTFTで  $100 \sim 200$  cm<sup>2</sup>/Vs、PTFTで  $80 \sim 150$  cm<sup>2</sup>/Vs であり、S値(サブスレッショルド係数)がNTFT、PTFTともに  $0.2 \sim 0.4$  V/decade である。この値は従来の技術で作製されたTFTに較べて何ら遜色ないか、若しくはそれ以上の値を示している。

【0046】その上、本願発明ではアモルファスシリコンの結晶化に利用した触媒元素(ゲルマニウム)を除去する必要があるため、従来の技術(触媒元素として金属元素を用いた技術)に較べて大幅に工程数を簡略化することができる。

【0047】なお、本願発明の重要な構成はアモルファスシリコン膜をゲルマニウムを触媒として利用して結晶化させる点にあり、この構成はTFTの構造に限定されるものではない。従って、本願発明をプレーナ型TFTや順スタガ型TFT等のトップゲイト型TFTに適用することも可能である。

【0048】〔実施例2〕本実施例では、実施例1とは異なる工程で作製された逆スタガ型TFTの例について図3を用いて説明する。

【0049】まず、実施例1の工程に従って図1(C)の工程までを終了させる。なお、本実施例では図1

(C)の工程でポリシリコン膜からなる活性層111、

112を得た後でゲルマニウム膜110及びマスク絶縁膜108を除去してエキシマレーザー光の照射による熱処理を行っている。

【0050】次に、レーザー光照射によって結晶性が改善された活性層201、202の上に、酸化シリコン膜でなるスペーサ絶縁層203、204を形成する。このスペーサ絶縁層の幅が後にチャネル形成領域の幅を決定する。(図3(A))

【0051】次に、プラズマCVD法又は減圧熱CVD法を用いてアモルファスシリコン膜205を100 nmの厚さに形成し、さらにその上に微結晶シリコン膜206を50nmの厚さに形成する。(図3(B))

【0052】アモルファスシリコン膜205の成膜条件は、成膜ガスとして100sccmのSiH<sub>4</sub>と300sccmのH<sub>2</sub>とを混合したガスを用い、成膜圧力は0.75torr、印加電力は20Wとする。また、微結晶シリコン膜206の成膜条件は、成膜ガスとして5 sccmのSiH<sub>4</sub>と500sccmのH<sub>2</sub>とを混合したガスを用い、成膜圧力は0.75torr、印加電力は300Wとする。

【0053】次に、アモルファスシリコン膜205及び微結晶シリコン膜206に対してn型を付与する不純物元素(本実施例ではリン)の添加を行い、n型のアモルファスシリコン膜207、n型の微結晶シリコン膜208を得る。(図3(C))

【0054】この時、リンの添加条件は加速電圧を10 keVとし、ドーズ量を  $5 \times 10^{14}$  atoms/cm<sup>2</sup> とする。なお、アモルファスシリコン膜207と微結晶シリコン膜208との積層構造でなるn型半導体層は、活性層からキャリアを取り出すための電極として機能するため、それに見合った導電性を有していれば良い。従って、本実施例の作製工程で採用した数値に限定する必要はない。

【0055】また、最上層に微結晶シリコン膜を設けるのは、後に形成される導電膜からなる配線層とのオーミック接触を取りやすくするためである。アモルファスシリコン膜と導電膜とでは良好なオーミック接触をとることが難しいが、微結晶シリコンと導電膜となら問題ないレベルのオーミック接触が得られる。

【0056】次に、NTFTとなる領域をレジストマスク209で隠し、p型を付与する不純物元素(本実施例ではボロン)を添加する。この工程によりPTFTとなる領域では先程形成されたn型半導体層が反転し、p型のアモルファスシリコン膜210とp型の微結晶シリコン膜211とからなるp型半導体層が形成される。(図3(D))

【0057】この時、ボロンの添加条件は加速電圧を10 keVとし、ドーズ量を  $1.3 \times 10^{13}$  atoms/cm<sup>2</sup> とする。この場合も先程と同様に、活性層からキャリアを取り出すのに十分な導電性を持たせることができれば良い。

【0058】不純物元素の添加工程が終了したら、レジ

ストマスク209を除去して水素雰囲気中で350℃1時間のファーンエスアニール処理を行い、水素化工程を行う。本実施例ではこの水素化工程が先程添加した不純物の活性化工程を兼ねている。

【0059】なお、本実施例では不純物を添加することによりn型半導体層とp型半導体層とを形成しているが、半導体層を成膜する際に成膜ガスにn型又はP型を付与する不純物を添加しておくことも可能である。

【0060】次に、ゲイト電極に接続したゲイト配線の一部（後に形成される配線と電気的に接続させる部分）に開孔部を有するレジストマスク（図示せず）を設け、ドライエッチングにより微結晶シリコン膜、アモルファスシリコン膜及びゲイト絶縁膜を順次エッチングしてコンタクトホール（図示せず）を形成する。ドライエッチングは公知の技術範囲で行えば良い。

【0061】そして、図示しないレジストマスクを除去して、n型半導体層及びp型半導体層の上にアルミニウムを主成分とする材料からなる導電膜を成膜し、パターンニングしてソース配線212、213及びドレイン配線214を形成する。なお、この時、先程のコンタクトホールを介してゲイト配線とソース配線（ドレイン配線）とが電気的に接続される。

【0062】さらに、これらの配線をマスクとしてn型半導体層及びp型半導体層のエッチングを行う。このエッチングは先程のコンタクトホールの形成時と同一条件で構わない。ただし、配線をエッチングしない条件で半導体層をエッチングできる様に条件を設定することが必要である。

【0063】半導体層のエッチングはスペーサ絶縁層203、204で止まり、ソース配線とドレイン配線とが電気的に完全に分離される。ここまで終了したら、水素雰囲気中で水素化を行い、図3（E）に示す構造のCMOS回路が完成する。

【0064】本実施例の構造は実施例1よりも1枚少ないマスク数（7枚）で逆スタガ型TFTを作製することができる。これにより歩留りの向上と製造コストの低減を図ることができる。勿論、実施例1の工程で作製されたTFTと較べて、本実施例のTFTの電気特性は何ら遜色のないものである。

【0065】〔実施例3〕本実施例では、実施例1においてゲルマニウム膜を成膜する代わりに溶液塗布法（スピンコート法）によりゲルマニウムを含む層を形成する場合について説明する。

【0066】本実施例では開孔部を設けたマスク絶縁膜上にゲルマニウムを含む溶液を塗布し、開孔部の底部に露出したアモルファスシリコン膜にゲルマニウムが保持された状態とする。溶液としては酸化ゲルマニウム（ $\text{GeO}_x$ 、代表的には $\text{GeO}_2$ ）、塩化ゲルマニウム（ $\text{GeCl}_4$ ）、臭化ゲルマニウム（ $\text{GeBr}_4$ ）、硫化ゲルマニウム（ $\text{GeS}_2$ ）、酢酸ゲルマニウム（ $\text{Ge}(\text{CH}_3\text{CO}_2)_4$ ）の水溶液

が挙げられる。

【0067】また、場合によっては溶媒としてエタノール、イソプロピルアルコール等のアルコール系溶媒を用いても良い。

【0068】これらの溶液を100～1000ppmの濃度で作製し、塗布及びスピン乾燥することでアモルファスシリコン膜上にゲルマニウムを含む層が形成される。なお、アモルファスシリコン膜は疎水性を示すため、スピンコートの前に薄い酸化シリコン膜を形成して濡れ性を高めておくことが好ましい。

【0069】そして、スピンコートが終了したら、その状態で結晶化のための加熱処理を行い、ポリシリコン膜を得る。このポリシリコン膜の表面には高濃度にゲルマニウムが存在するので、フッ酸等のエッチャントで洗浄しておくが良い。

【0070】本実施例の構成を実施例1や実施例2に適用することで、容易に図2（D）や図3（E）に示す様なTFTを作製することができる。

【0071】〔実施例4〕アモルファスシリコン膜に対してゲルマニウムを添加するに際して、イオンブランチーション法、プラズマドーピング法またはレーザードーピング法を利用することも可能である。

【0072】励起ガスとしてはゲルマン（ $\text{GeH}_4$ ）を用いれば良く、アモルファスシリコン膜中へは $1 \times 10^{14} \sim 5 \times 10^{18} \text{ atoms/cm}^2$ （代表的には $1 \times 10^{16} \sim 1 \times 10^{17} \text{ atoms/cm}^2$ ）の濃度でゲルマニウムが添加される様に調節することが好ましい。

【0073】アモルファスシリコン膜中に添加するゲルマニウムは $1 \times 10^{14} \text{ atoms/cm}^2$ 以上（好ましくは $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^2$ 以上）でないとし、触媒として結晶化の助長効果を有効に利用することができない。また、添加量が多すぎるとゲルマニウム膜の物性に近くなり、TFT特性が低下する。そのため、 $5 \times 10^{18} \text{ atoms/cm}^2$ 以下、好ましくは $1 \times 10^{18} \text{ atoms/cm}^2$ 以下ぐらいに抑えておくことが望ましい。

【0074】こうして膜中にゲルマニウムが添加されたアモルファスシリコン膜は450～650℃の加熱処理により容易に結晶化する。本実施例で得られたポリシリコン膜はシリコン原子とゲルマニウム原子が置換された結合を多く含み、いわゆるシリコンゲルマニウム（ $\text{Si}_x\text{Ge}_{1-x}$ で表される）になると思われる。

【0075】この様なシリコンゲルマニウム膜はシリコン膜よりも狭いバンドギャップを有するため、キャリア（電子または正孔）の移動度が向上することが知られている。ただし、ゲルマニウムの含有量によっては大きくTFT特性が変化する場合もあるので注意が必要である。

【0076】本実施例の構成を実施例1や実施例2に適用することで、容易に図2（D）や図3（E）に示す様なTFTを作製することができる。



【0077】〔実施例5〕本実施例では活性層の両端から結晶成長させた実施例1と異なり、活性層の片側の端部（ソース領域又はドレイン領域となる部分）から結晶成長させる場合について図4を用いて説明する。

【0078】まず、実施例1の工程に従ってマスク絶縁膜401の形成までを終了したら、バターンニングにより開孔部402を形成する。この開孔部402は、後にソース領域となる部分のみに選択的に設け、活性層の片側端部のみが露出する様に形成される。そして、その上にゲルマニウム膜403をプラズマCVD法により形成する。（図4（A））

【0079】次に、この状態で600°C8時間の加熱処理を行い、アモルファスシリコン膜をポリシリコン膜に結晶化させる。この時、結晶成長は矢印の方向に進行し、ポリシリコン膜からなる活性層403、404が形成される。（図4（B））

【0080】なお、実施例1で述べた様に、横方向への成長距離は1μm程度が限界であるので本実施例ではチャネル長が少なくとも1μm以下、好ましくは0.5μm以下（勿論、ゼロは含まない）であることが望ましい。

【0081】こうして図4（B）の状態が得られたら、実施例1と同様の工程を経てTFTを完成させれば良い。勿論、実施例2の様な構造とすることもできるし、実施例3、4の構成を適用することも可能である。

【0082】〔実施例6〕ゲルマニウムを触媒元素として用いた結晶化工程を行う場合、結晶化時の処理雰囲気中存在する酸素量に注意する必要がある。実施例1でも説明した様にゲルマニウムは容易に酸化されて不活性な酸化ゲルマニウムになってしまうので、酸素を極力排除することが必要である。

【0083】そのため、①アモルファスシリコン膜の表面を清浄化する、②ゲルマニウム膜を成膜する、③加熱処理により結晶化する、という工程を大気開放しないで連続的に行うことが望ましい。

【0084】本実施例ではこの様な工程をマルチチャンバー（クラスターツール）方式の処理装置を用いて行う。ここで本実施例で用いる処理装置を図8に示す。なお、図8（A）は上面図であり、図8（B）は破線X-X'での断面構成図を示す。

【0085】11は装置全体となる共通室、12、13はロードロック室、14、15はスパッタ室、16はエッチング室であり、17は加熱室であり、各室12～17はゲート弁を介して共通室11に連結されており、室11～17ごとに気密性を保持できるようになっている。

【0086】また各室11～17ごとに減圧状態にするための排気系（図示せず）と、雰囲気制御用のガスやスパッタガスを供給するためのガス供給系（図示せず）とが設けられている。スパッタ室14、15、エッチング室16の排気系には到達真空度10<sup>-6</sup>Paを実現するた

めにクライオポンプを備えている。

【0087】共通室11には処理基板10を室12～17へ移動するためのロボットアーム31が設けられている。ロボットアーム31の基板保持部分は矢印で示すように3次元的に移動自在とされている。また、ロボットアーム31は処理基板10の素子形成面が下向きに搬送されるフェイスダウン方式となっており、素子形成面にパーティクル等のゴミが付着するのを防いでいる。

【0088】ロードロック室12、13は処理基板10を装置外部に搬入・搬出するための室である。処理基板10は基板搬送カセット32、33に収納されて、装置に搬入・搬出される。

【0089】スパッタ室14、15はほぼ同じ構造を有しており、図8（B）を用いてスパッタ室14の構成を説明する。本実施例ではスパッタ室14又は15でゲルマニウム膜が成膜される。

【0090】スパッタ室14には、ターゲット支持台41、ターゲット42、シャッター43、フェイスダウン方式の基板ホルダー44が設けられている。基板ホルダー44は処理基板10の端部数ミリを支持するように設計されており、基板10の汚染をできるだけ小さくしている。

【0091】また、ターゲット41を介してターゲットには図示しないDC電源からDC電流が供給される。スパッタ室14、15で成膜する材料によって、ガス供給系等の仕様が決められる。

【0092】また、本実施例においては、エッチング室16はスパッタ室14、15とほぼ同様な構成であるが、DC電源の代わりにRF電源が接続されており、基板10にRF電力を供給して負のセルフバイアス電圧が印加される様になっている。

【0093】本実施例ではエッチング室16でアモルファスシリコン膜の表面を希ガス（アルゴン、ヘリウムなど）で軽くスパッタする（表面層をエッチングすることになる）ことで表面クリーニングを行い、アモルファスシリコン膜の表面を清浄化している。

【0094】加熱室17は結晶化工程用の室であり、スルーボットの点から加熱手段としてRTA処理を可能な構成とした。フェイスダウン方式の基板ホルダー51と、基板10を両面から加熱するために、赤外光を発する加熱ランプ52、53とが設けられている。加熱ランプ53が基板主表面を加熱するメインランプとなる。

【0095】本実施例の、図8に示す処理装置の使用方法を以下に説明する。被処理基板（アモルファスシリコン膜上にマスク絶縁膜を形成した基板）10をロードロック室12からスパッタ装置内に搬送する。ロードロック室12を減圧状態にした後に窒素雰囲気とする。共通室11、スパッタ室14、15、エッチング室16も減圧状態にされ、到達圧力10<sup>-6</sup>Paとされている。

【0096】ゲート弁22を開放し、ロボットアーム3

1によって基板10をエッチング室16に移動する。なお、雰囲気混合を避けるため、2つのゲート弁22、27は同時に開放しないように制御される。以下も同様である。エッチング室16の基板ホルダーに基板を固定し、基板にRF電力を印加しながらアルゴンガスによってスパッタ処理を行う。スパッタ処理によってアモルファスシリコン膜表面の不純物や自然酸化膜が除去される。

【0097】次に、基板10をスパッタ室14に移動してゲルマニウム膜を成膜する。そして加熱室17に基板を移動する。加熱室17は窒素雰囲気とし、加熱ランプ52、53によって基板を加熱して、アモルファスシリコン膜を結晶化させる。結晶化工程が終了したら、基板をロードロック室13のカセット33内に移動し、スパッタ装置から搬出する。

【0098】また、結晶化工程の前に、ゲルマニウム膜の酸化をできるだけ抑制するために、スパッタ室14でゲルマニウム膜を成膜した後、スパッタ室15でゲルマニウム表面に窒化シリコン膜、酸化窒化シリコン膜等の絶縁膜を成膜して、ゲルマニウム表面を覆ってしまうことも有効である。

【0099】ゲルマニウム膜の表面を絶縁膜で覆うことで処理雰囲気と直接触れさせないで結晶化工程を行う、という構成は本実施例の様にマルチチャンバー方式の処理装置で用いるだけでなく、結晶化工程を外部の電熱炉で行う必要がある場合において特に有効な技術である。勿論、この構成を実施例1〜5に示した構成と組み合わせることは容易である。

【0100】〔実施例7〕本実施例では、本願発明を用いてガラス基板上に複数のTFTを作製し、ドライバー回路と画素マトリクス回路とを一体形成したアクティブマトリクス型液晶表示装置を作製した場合の例について図5に示す。

【0101】本実施例の構造は、実施例1の工程に多少の追加工程を加えるだけで実現することができる。まず、実施例1の工程に従って図2(D)の状態を得る。この時、画素マトリクス回路となる領域にはマトリクス状に配列されたNTFTを作製しておく。

【0102】その上に第1の平坦化膜501として1 $\mu$ m厚のポリイミド膜を形成する。ポリイミド以外にもアクリルなどの他の有機樹脂材料を用いても良い。次に、チタンなどの導電膜でなるブラックマスク502を形成する。

【0103】そして、さらに第2の平坦化膜503としてポリイミド膜を500nmの厚さに形成する。第2の平坦化膜503を形成したら、コンタクトホールを開けて透明導電膜(代表的にはITO膜)でなる画素電極504を形成する。

【0104】この時、ブラックマスク502と画素電極504との間では、第2の平坦化膜503を誘電体とす

る補助容量505が形成される。

【0105】以上の様な工程を経て、図5に示す様な構造が完成する。実際のアクティブマトリクス型液晶表示装置は、画素電極を形成した後に配向膜を成膜し、対向電極との間に液晶を挟持して完成する。これらセル組み工程は公知の手段を用いて行えば良いので説明は省略する。

【0106】こうして形成されたアクティブマトリクス型液晶表示装置の外観を模式的に図6に示す。図6において、601は絶縁表面を有する基板、602は画素マトリクス回路、603はソースドライバー回路、604はゲイトドライバー回路、605は対向電極、606はFPC(フレキシブルプリントサーキット)、607、608は外付けされたICチップである。

【0107】この時、例えばソースドライバー回路603やゲイトドライバー回路604は600で示される様なCMOS回路で構成される。

【0108】また、本実施例でにおいて画素電極を反射性の高い材料とすれば容易に反射型液晶表示装置を作製することができる。

【0109】以上の様に、本願発明を利用して作製されたTFTを用いて様々な回路を形成することで、基板上に回路を有する電気光学装置を実現することができる。なお、本実施例では液晶表示装置を例に挙げているが、EL(エレクトロルミネッセンス)表示装置やイメージセンサなどを作製することも可能である。

【0110】〔実施例8〕実施例1に示した様な電気光学装置は、様々な電子機器のディスプレイとして利用される。その様な電子機器としては、ビデオカメラ、スチルカメラ、プロジェクター、プロジェクションTV、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話等)などが挙げられる。それらの一例を図7に示す。

【0111】図7(A)は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明を表示装置2004等に適用することができる。

【0112】図7(B)はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明を表示装置2102に適用することができる。

【0113】図7(C)はモバイルコンピュータ(モバイルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は表示装置2205等に適用できる。

【0114】図7(D)はヘッドマウントディスプレイ

であり、本体2301、表示装置2302、バンド部2303で構成される。本発明は表示装置2302に適用することができる。

【0115】図7(E)はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403に適用することができる。

【0116】図7(F)はフロント型プロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本発明は表示装置2503に適用することができる。

【0117】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。特に、携帯性を重視した電子機器には非常に効果的であると言える。

【0118】

\*【発明の効果】本願発明を利用することで、量産性の高い作製工程で、結晶性の高い半導体薄膜を作製することが可能となる。そして、その様な半導体薄膜を活性層とする高性能なTFTを用いた回路を有する半導体装置を実現することができる。

【図面の簡単な説明】

【図1】 薄膜トランジスタの作製工程を示す図。

【図2】 薄膜トランジスタの作製工程を示す図。

【図3】 薄膜トランジスタの作製工程を示す図。

【図4】 薄膜トランジスタの作製工程を示す図。

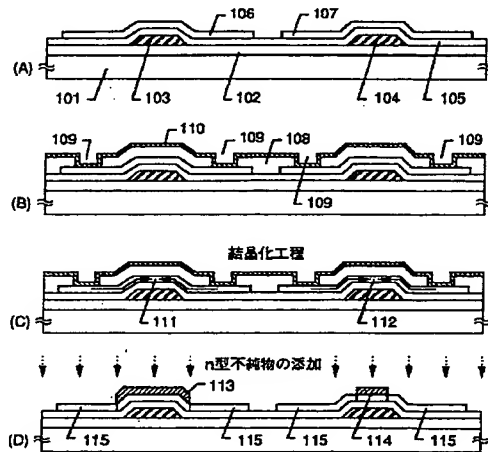
【図5】 アクティブマトリクス型液晶表示装置の構成を示す図。

【図6】 アクティブマトリクス型液晶表示装置の構成を示す図。

【図7】 電子機器の構成を示す図。

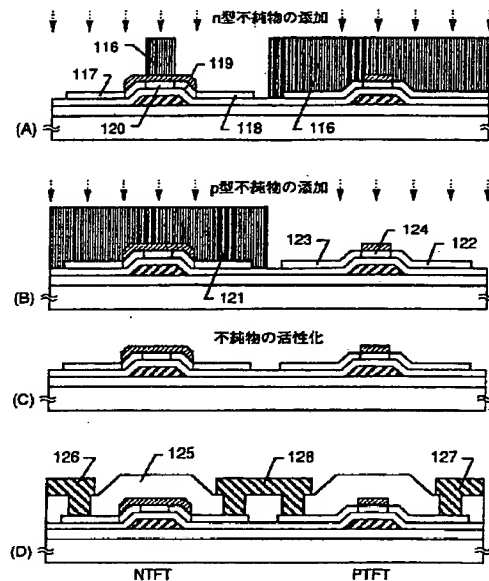
【図8】 マルチチャンバー方式の処理装置の構成を示す図。

【図1】



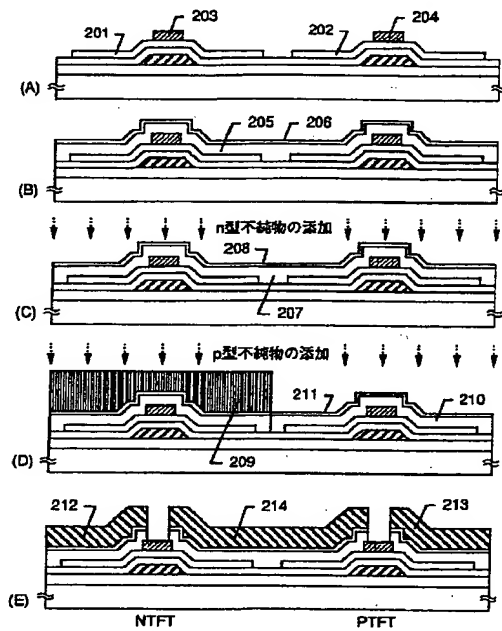
101:ガラス基板 102:下地膜 103、104:ゲート電極  
105:ゲート絶縁膜 106、107:活性層 108:ゲート絶縁膜  
109:開孔部 110:ゲート電極膜 111、112:活性層  
113、114:ソース・ドレイン電極 115:n型不純物領域

【図2】



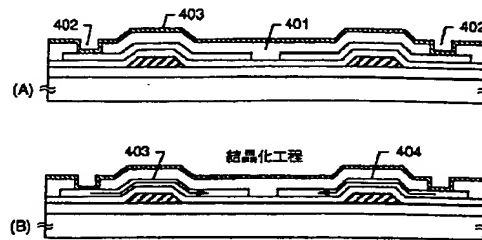
116、121:ゲート電極 117、122:ソース領域  
118、123:ドレイン領域 119:LDD領域(n-ch)  
120、124:ゲート形成領域 125:層間絶縁膜  
126、127:ソース配線 128:ドレイン配線

【図3】



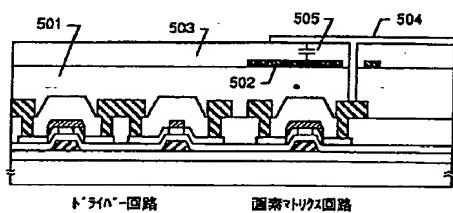
201、202：活性層 203、204： $\text{SiO}_2$ - $\text{H}$ 絶縁層  
 205：アモルファスシリコン膜 206：微結晶シリコン膜  
 207：n型アモルファスシリコン膜 208：n型微結晶シリコン膜  
 209：p型アモルファスシリコン膜 210：p型微結晶シリコン膜  
 211：ソース配線 212、213：ソース配線  
 214：ドレイン配線

【図4】



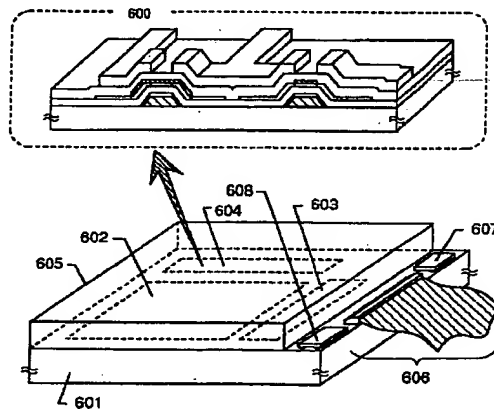
401：アモルファスシリコン膜 402：開口部  
 403、404：多結晶シリコン膜からなる活性層

【図5】



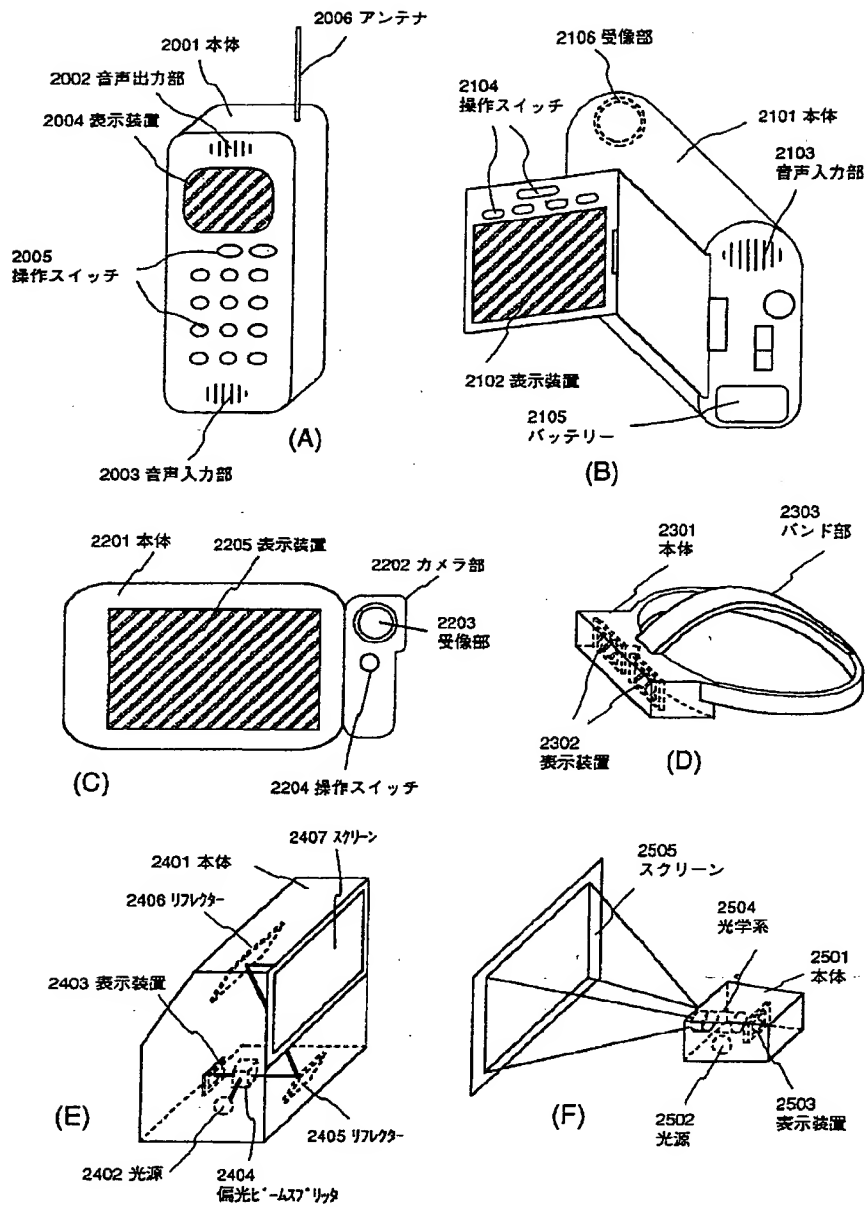
501：第1の平坦化膜 502：アモルファスシリコン膜 503：第2の平坦化膜  
 504：画素電極 505：補助電極

【図6】



601：絶縁膜を有する基板 602：画素マトリクス回路  
 603：ソースドレイン回路 604：ゲートドレイン回路 605：封止層  
 606：FPC 607、608：ICチップ

【図7】



【図8】

